

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-310767

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

G02F 1/133  
G09F 9/30  
G09F 9/40  
G09G 3/20  
G09G 3/36

(21)Application number : 2000-048362

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 24.02.2000

(72)Inventor : PAKU WON-YON  
PARK HEN-ON

(30)Priority

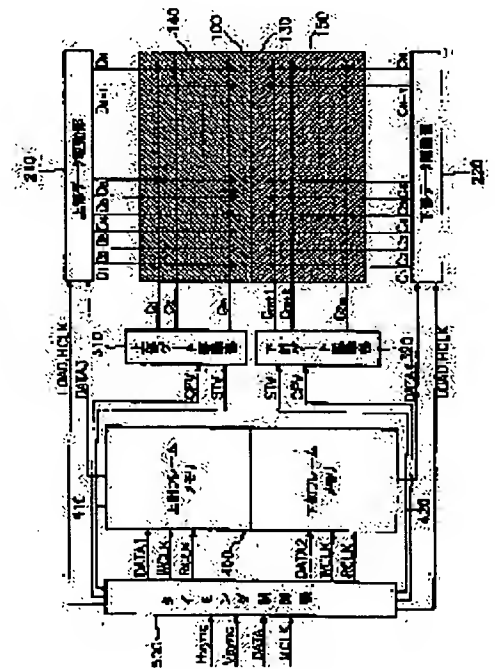
Priority number : 99 9906086 Priority date : 24.02.1999 Priority country : KR

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent brightness non-uniformity at the interfacial part of the two panels by reversing the scanning direction of the upper panel with respect to the scanning direction of the lower panel when dividing the liquid crystal display panel into two panels of the upper panel and the lower panel and applying a scanning signal to a gate line.

**SOLUTION:** The display panel is constituted of an upper panel 140 and a lower panel 150. An upper and a lower gate driving parts 310, 320 are connected to an upper and a lower gate line blocks respectively, and apply a gate-on voltage one by one to the gate line of the gate line block along a reverse scanning direction. For example, when the upper gate driving part 310 drives a gate-on voltage in the direction from the first gate line G1 of the upper gate line block to the m-th gate line Gm (that is, direction from the top to the bottom), the lower gate driving part 320 drives a gate-on voltage in the direction from the last gate line G2m of the lower gate line block to the first gate line Gm+1 (that is, direction from the bottom to the top).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-310767

(P2000-310767A)

(43) 公開日 平成12年11月7日 (2000. 11. 7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 F 9/30		G 0 9 F 9/30	A
	3 0 1		3 0 1
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 L
3/36		3/36	

審査請求 未請求 請求項の数20 O L 外国語出願 (全 49 頁)

(21) 出願番号 特願2000-48362(P2000-48362)

(22) 出願日 平成12年2月24日 (2000. 2. 24)

(31) 優先権主張番号 1 9 9 9 P 6 0 8 6

(32) 優先日 平成11年2月24日 (1999. 2. 24)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 バク, ウォン-ヨン

大韓民国, キュンギード, スォン-シテ

ィ, バルダルク, ウォーマン-ドゥン,

203-602, ジュコン 2-カ アパートメ  
ント

(72) 発明者 パーク, ヘン-オン

大韓民国, ソウル, ソンパーク, カムシル

1-ドゥン, 71-302, ジュコン アパート  
メント

(74) 代理人 100094145

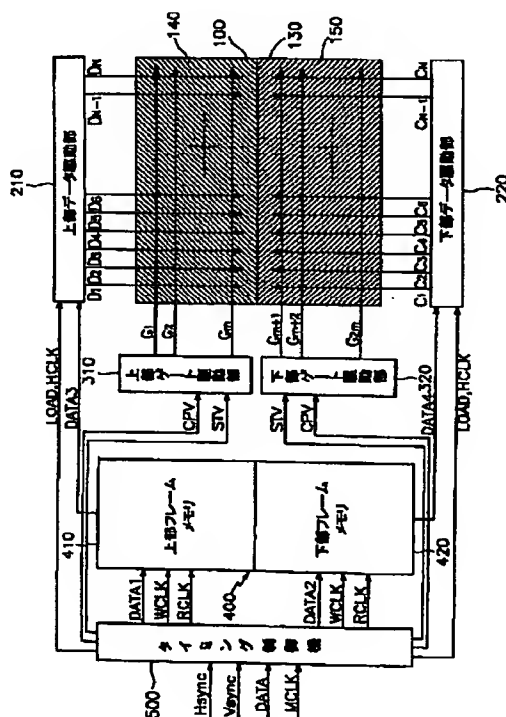
弁理士 小野 由己男 (外1名)

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】 (修正有)

【解決手段】 液晶表示装置パネルは上部及び下部パネルに分割され、上部パネルのゲート線の走査方向は下部パネルのゲート線の走査方向と反対である。上部パネルは水平方向に形成され走査信号を伝送する第1ゲート線を有する上部ゲート線ブロックと、第1ゲート線に交差し画像信号を伝送する上部データ線とを含む。下部パネルは第2ゲート線を有する下部ゲート線ブロックと、第2ゲート線と交差し上部データ線と分離される下部データ線とを含む。上部及び下部ゲート線ブロックのゲート線に走査信号を印加する上部及び下部ゲート駆動部がそれぞれ上部及び下部パネルの側面に設けられる。上部及び下部ゲート駆動部は互いに反対方向にゲート線に走査信号を順次に印加する。

【効果】 上部パネルのゲート線の走査方向を下部パネルのゲート線の走査方向と反対にすることによって輝度不均一現象を防止することができる。



**【特許請求の範囲】**

【請求項 1】走査信号を伝送する多数の第 1 ゲート線を含み、第 1 方向に走査する第 1 ゲート線ブロックと、走査信号を伝送する多数の第 2 ゲート線を含み、第 2 方向に走査する第 2 ゲート線ブロックと、画像信号を伝送し、前記第 1 ゲート線ブロックの第 1 ゲート線と交差する多数の第 1 データ線と、画像信号を伝送し、前記第 2 ゲート線ブロックの第 2 ゲート線と交差する多数の第 2 データ線と、前記ゲート線及びデータ線によって形成されマトリックスパターンに配列され、前記ゲート線及びデータ線に連結されるスイッチング素子を含む多数の画素とからなり、前記第 1 方向は前記第 2 方向と反対方向であり、前記第 1 データ線と前記第 2 データ線とは分離される液晶表示装置。

【請求項 2】前記第 1 ゲート線の数とは前記第 2 ゲート線の数と同一である請求項 1 に記載の液晶表示装置。

【請求項 3】前記第 1 ゲート線及び第 2 ゲート線は同時に走査される請求項 2 に記載の液晶表示装置。

【請求項 4】多数の第 1 ゲート線を有する第 1 ゲート線ブロックと、前記第 1 ゲート線ブロックの下に形成され、多数の第 2 ゲート線を有する第 2 ゲート線ブロックと、前記第 1 ゲート線ブロックの第 1 ゲート線から分離され交差する多数の第 1 データ線と、前記第 2 ゲート線ブロックの第 2 ゲート線から分離され交差する多数の第 2 データ線と、前記ゲート線及びデータ線によって形成される領域によって形成され、マトリックスパターンに配列され、前記ゲート線及びデータ線に連結されるスイッチング素子と共通電圧が印加される共通電極とを有する多数の画素とを含む液晶表示装置パネルと；前記第 1 データ線に画像信号を含む階調電圧を印加する第 1 データ駆動部と；前記第 2 データ線に画像信号を含む階調電圧を印加する第 2 データ駆動部と；前記第 1 ゲート線ブロックのゲート線に走査信号を印加する第 1 ゲート駆動部と；前記第 1 ゲート駆動部と反対の走査方向に前記第 2 ゲート線ブロックのゲート線に走査信号を印加する第 2 ゲート駆動部と；外部から画像信号の入力を受けて書込みクロック信号に同期して記録し、前記画像信号を読み取りクロック信号に同期して前記第 1 データ駆動部に出力する第 1 フレームメモリと；外部から画像信号の入力を受けて書込みクロック信号に同期して記録し、前記画像信号を読み取りクロック信号に同期して前記第 2 データ駆動部に出力する第 2 フレームメモリとからなる液晶表示装置。

【請求項 5】前記第 1 ゲート線の数とは前記第 2 ゲート線の数と同一である請求項 4 に記載の液晶表示装置。

【請求項 6】前記第 1 及び第 2 ゲート駆動部は同時に走査される請求項 5 に記載の液晶表示装置。

【請求項 7】前記第 1 ゲート線ブロックの隣接するゲ-

ート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対であり、前記第 2 ゲート線ブロックの隣接するゲート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対である請求項 5 に記載の液晶表示装置。

【請求項 8】前記第 1 ゲート駆動部は前記第 1 ゲート線ブロックの最後のゲート線から一番目のゲート線の方に前記ゲート線に走査信号を順次に印加し、前記第 2 ゲート駆動部は前記第 2 ゲート線ブロックの一番目のゲート線から最後のゲート線にゲート線に走査信号を順次に印加する請求項 7 に記載の液晶表示装置。

【請求項 9】前記第 1 フレームメモリは画像信号が記録される順序と反対の順序に画像信号を前記第 1 データ駆動部に出力し、前記第 2 フレームメモリは画像信号が記録される順序と同一の順序に画像信号を前記第 2 データ駆動部に出力する請求項 8 に記載の液晶表示装置。

【請求項 10】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と反対である請求項 9 に記載の液晶表示装置。

【請求項 11】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と同一である請求項 9 に記載の液晶表示装置。

【請求項 12】前記第 1 ゲート駆動部は前記第 1 ゲート線ブロックの一番目のゲート線から最後のゲート線の方に走査信号をゲート線に順次に印加し、前記第 2 ゲート駆動部は前記第 2 ゲート線ブロックの最後のゲート線から一番目のゲート線の方に走査信号をゲート線に順次に印加する請求項 7 に記載の液晶表示装置。

【請求項 13】前記第 1 フレームメモリは画像信号が記録される順序と同一の順序に画像信号を前記第 1 データ駆動部に出力し、前記第 2 フレームメモリは画像信号が記録される順序と反対の順序に記録された画像信号を前記第 2 データ駆動部に出力する請求項 12 に記載の液晶表示装置。

【請求項 14】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結される画素に印加される階調電圧に対する共通電圧の極性と反対である請求項 13 に記載の液晶表示装置。

【請求項 15】同一の画素列で前記第 1 ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第 2 ゲート線ブロックの一番目のゲート線に連結された画素に印加される

階調電圧に対する共通電圧の極性と同一である請求項 13 に記載の液晶表示装置パネル。

【請求項 16】多数の第 1 ゲート線を有する第 1 ゲート線ブロック、前記第 1 ゲート線ブロックの下に形成され多数の第 2 ゲート線を有する第 2 ゲート線ブロック、前記第 1 ゲート線ブロックの第 1 ゲート線と交差し分離されている多数の第 1 データ線、前記第 2 ゲート線ブロックの第 2 ゲート線と交差し分離されている多数の第 2 データ線を含む液晶表示装置の駆動方法において、前記第 1 ゲート線ブロックの第 1 ゲート線に走査信号を順次に印加する段階と、前記第 1 ゲート線ブロックと反対の走査方向に前記第 2 ゲート線ブロックの第 2 ゲート線に走査信号を順次に印加する段階と、前記第 1 及び第 2 データ線に画像信号を含む階調電圧を印加して前記走査信号が印加される前記ゲート線に連結された画素に前記階調電圧を印加する段階とを含む液晶表示装置の駆動方法。

【請求項 17】前記走査信号は最後のゲート線から一番目のゲート線の方に前記第 1 ゲート線ブロックに順次に印加され、一番目のゲート線から最後のゲート線の方に前記第 2 ゲート線ブロックに順次に印加される請求項 16 に記載の液晶表示装置の駆動方法。

【請求項 18】外部から入力される画像信号のうちの前記第 1 データ線に印加される画像信号を第 1 フレームメモリに記録する段階と、外部から入力される画像信号のうちの前記第 2 データ線に印加される画像信号を第 2 フレームメモリに記録する段階、前記第 1 フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第 1 データ線に出力する段階と、前記第 2 フレームメモリに画像信号が記録される順序と同一の順序に前記画像信号を前記第 2 データ線に出力する段階とをさらに含む請求項 17 に記載の液晶表示装置の駆動方法。

【請求項 19】前記走査信号は一番目のゲート線から最後のゲート線の方に前記第 1 ゲート線ブロックに順次に印加され、最後のゲート線から一番目のゲート線の方に前記第 2 ゲート線ブロックに順次に印加される請求項 16 に記載の液晶表示装置の駆動方法。

【請求項 20】外部から入力される画像信号のうちの前記第 1 データ線に印加される画像信号を第 1 フレームメモリに記録する段階と、外部から入力される画像信号のうちの前記第 2 データ線に印加される画像信号を第 2 フレームメモリに記録する段階と、前記第 1 フレームメモリに画像信号が記録される順序と同一の順序に前記画像信号を前記第 1 データ線に出力する段階と、

前記第 2 フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第 2 データ線に出力する段階とをさらに含む請求項 19 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置及びその駆動方法に関する。より詳しくは、本発明は 2 部分に分割されてそれぞれ駆動する画面を有する液晶表示装置及びその駆動方法に関する。

【0002】

【従来の技術】パーソナルコンピュータやテレビが軽量化及び薄形化することによって、ディスプレイ装置も軽量化及び薄形化が要求されている。従って、LCD のような平板表示装置が陰極線管 (CRT) の代わりとして増加している。所望の画像信号を得るために、LCD は 2 枚の基板の間に注入されている異方性誘電率を有する液晶物質に電界 (electric field) を印加し、電界の強さによって基板を通して透過する光の量を調節する。LCD は最も一般的に使用される携帯用平板表示装置の 1 つである。

【0003】特に、薄膜トランジスタ (thin film transistor; TFT) をスイッチング素子として採用した TFT-LCD が広く使用される。前記 LCD は走査信号を伝達する多数のゲート線を含む。前記ゲート線に交差する多数のデータ線が画像データを伝達する。前記ゲート線及びデータ線によって形成される領域で形成される多数の画素はゲート線、データ線、スイッチング素子を通して相互に連結される。

【0004】以下、このような LCD において各画素に画像データを印加する方法を説明する。ゲートをオンにする走査信号 (又はゲートオン信号) がゲート線に順次に印加される時、前記ゲート線に連結されるスイッチング素子は順次にオンになる。前記ゲート線に対応する画素行に印加される画像信号 (即ち、階調電圧 (data voltage)) は同時に各データ線に印加される。前記データ線に印加された画像信号はその後にターンオンされているスイッチング素子を通して各画素に印加される。この時、1 フレーム周期の間に全てのゲート線に順次にゲートオン信号が印加されることによって画像信号は全ての画素行に印加され、1 フレームの画像が表示される。

【0005】最近に開発された高解像度 LCD はより多くのゲート線が要求される。しかし、1 フレームを走査するのにかかる時間は 1/60 秒に制限されているため、各ゲート線に印加されるゲートオン信号の時間間隔 (time interval) が短くなる。このため、スイッチング素子を通じて前記画像行に十分な画像信号 (階調電圧) を印加することが難しく、画質を低下させる。

【0006】従って、最近では十分なゲートオン時間を確保するために、表示画面を 2 部分 (上部及び下部) に

分割して液晶表示装置を駆動する方式が提案されている。このような駆動方式を‘デュアルスキャン方式’という。図1はデュアルスキャン方式を採用した液晶表示装置を示す。図1に示されているように、デュアルスキャン方式を使用する液晶表示装置は液晶表示装置パネル10、上部データ駆動部21、下部データ駆動部22、上部ゲート駆動部31、下部ゲート駆動部32からなる。

【0007】液晶表示装置パネル10はゲートオン信号を伝達するための多数のゲート線( $G1$ 、 $G2$ 、 $\dots$ 、 $Gm$ 、 $Gm+1$ 、 $\dots$ 、 $G2m$ )と、階調電圧(即ち、画像信号)を伝達するための多数のデータ線( $D1$ 、 $D2$ 、 $\dots$ 、 $Dn$ 、 $C1$ 、 $C2$ 、 $\dots$ 、 $Cn$ )を含む。ゲート線とデータ線との交差によって形成される領域は画素を形成する。各画素はゲート電極がゲート線に連結されソース電極がデータ線に連結される薄膜トランジスタ12、薄膜トランジスタ12のドレイン電極に連結される画素電極14、共通電圧が印加される共通電極(図示されていない)を含む。前記多数のゲート線はそれぞれ $m$ 個のゲート線( $G1$ 、 $G2$ 、 $\dots$ 、 $Gm$ )、( $Gm+1$ 、 $\dots$ 、 $G2m$ )からなる上部及び下部ゲート線ブロックに分割される。上部ゲート線ブロックのゲート線( $G1$ 、 $G2$ 、 $\dots$ 、 $Gm$ )に対応する画素に連結されたデータ線( $D1$ 、 $D2$ 、 $\dots$ 、 $Dn$ )は下部ゲート線ブロックのゲート線( $Gm+1$ 、 $\dots$ 、 $G2m$ )に対応する画素に連結されたデータ線( $C1$ 、 $C2$ 、 $\dots$ 、 $Cn$ )から分離されている。例えば、第1列の上部画素はデータ線 $D1$ に連結され、第1列の下部画素はデータ線 $C1$ と連結される。

【0008】それぞれ上部及び下部ゲート線ブロックに連結される上部及び下部ゲート駆動部31、32はそれぞれ上部及び下部ゲート線ブロックのゲート線に順次にゲートオン電圧を印加する。この時、ゲートオン電圧は一番目のゲート線から最後のゲート線の順にゲート線に印加される。それぞれ液晶表示装置パネルの上部及び下部に形成される上部及び下部データ駆動部21、22はそれぞれ上部データ線( $D1$ 、 $D2$ 、 $\dots$ 、 $Dn$ )及び下部データ線( $C1$ 、 $C2$ 、 $\dots$ 、 $Cn$ )に階調電圧を印加する。

【0009】以下、前記液晶表示装置の動作を説明する。第1ゲート線から始まって順次に上部及び下部ゲート線ブロックのゲート線から薄膜トランジスタ12に、さらにそれにつづくゲート線にゲートオン信号が印加される。これと同時に、上部及び下部データ線に階調電圧(即ち、画像信号)が印加される。前記ゲートオン信号によって薄膜トランジスタ12がターンオンされ、データ線に印加された階調電圧はターンオンされた薄膜トランジスタ12を通じて画素電極に印加される。画素電圧(即ち、画素電極に印加された電圧)と共通電極の共通

電圧との差によって生じる電界が液晶物質に印加される。液晶物質の配列は電界の強さ(電界の強さは階調電圧の強さに応じて変動する)に応じて変わるので、液晶物質を透過する光の量が変わるようになる。従って、所望の画像が液晶表示装置に表示される。

【0010】前記ゲートオン信号が前記上部及び下部ゲート線ブロックのゲート線に同時に印加されるため、前述のデュアルスキャン方式の液晶表示装置は従来のシングルスキャン液晶表示装置よりゲートオン時間が2倍長いという長所を有する。液晶物質に連続して同一方向の電界が印加されると、液晶物質が劣化する。従って、階調電圧が駆動される時、階調電圧の極性は交互に正及び負になる。このような駆動方式を反転駆動方式という。

【0011】反転駆動方式の類型にはフレーム単位に極性を反転させるフレーム反転駆動方式、ライン単位に極性を反転させるライン反転駆動方式、画素単位に極性を反転させるドット反転駆動方式がある。前記ライン反転及びドット反転駆動方式が最も一般的に使用される。しかし、ライン反転駆動方式又はドット反転駆動方式は、従来のデュアルスキャン方式の液晶表示装置に適用される時、以下に説明されるような問題点が発生する。

【0012】図1の液晶表示装置の画素が、正(+)と負(-)で示されているように、ドット反転駆動方式によって駆動されると仮定する。ここで陽(+)極は共通電圧に対する画素電圧の極性が正であることを示し、陰(-)極は共通電圧に対する画素電圧の極性が負であることを示す。前記上部ゲート線ブロックのゲート線 $Gm$ 及びデータ線 $D1$ に電気的に連結される画素電極に印加される電圧の波形と、前記下部ゲート線ブロックのゲート線 $Gm+1$ 及びデータ線 $C1$ に電気的に連結される画素電極に印加される電圧の波形は図2に示されている。

【0013】図2に示されているように、理想的な状態では、上部ゲート線ブロックの最後のゲート線 $Gm$ に連結される第1画素列の画素電極に共通電圧 $V_{com}$ より低い電圧 $V_{pu}$ が1フレーム周期の間一定に印加される。しかし、実際の液晶表示装置では、画素電極とデータ線との間で寄生キャパシタンスが生成するため、実際の画素電極に印加される画素電圧はデータ線に印加される電圧から影響を受ける。即ち、図2(a)に示されているように、第1データ線 $D1$ に共通電圧 $V_{com}$ についての極性が周期的に反復される階調電圧 $V_{d1}$ が印加されるため、画素電極に印加される実際の電圧 $V_a$ は図2(b)のような波形を有するようになる。説明の便宜のために、階調電圧が共通電圧 $V_{com}$ について対称的であると仮定する。

【0014】より詳しくは、図2(a)及び(b)に示されているように、負の極性を有する画素電圧 $V_{pu}$ が印加されデータ線に正の極性を有する階調電圧 $V_d$ が印加される場合、実際の画素電圧 $V_a$ は、理想的な画素電圧 $V_{pu}$ とは異なり、寄生キャパシタンスの影響によっ

て $\Delta V$ だけ共通電圧の方に引っ張られる。これと反対に、負の極性を有する階調電圧がデータ線に印加される場合には、実際の画素電圧 $V_a$ が $\Delta V$ だけ共通電圧と反対の方に引っ張られる。

【0015】図2(c)に示されているように、理想的な場合、下部ゲート線ブロックの第1ゲート線 $G_{m+1}$ に連結される第1画素列の画素電極には共通電圧 $V_{com}$ より高い定電圧 $V_{pd}$ が1フレーム周期の間に印加される。また、第1データ線 $C_1$ にはデータ線 $D_1$ に印加される階調電圧の極性と同一の極性を有する階調電圧が印加される。これは上部ゲート線ブロック及び下部ゲート線ブロックのそれぞれの第1ゲート線から走査が始まり、上部ゲート線ブロック及び下部ゲート線ブロックの第1ゲート線に連結された画素電圧の極性が同一であるためである。

【0016】従って、寄生キャパシタンスの影響によって、実際に画素電極に印加される電圧は図2(d)のような波形を有する。即ち、図2(c)及び(d)に示されているように、正の極性を有する画素電圧 $V_{pd}$ が印加され正の極性を有する階調電圧がデータ線に印加される場合、寄生キャパシタンスの影響により実際の画素電圧 $V_b$ は、理想的な画素電圧 $V_{pu}$ と異なり、 $\Delta V$ だけ共通電圧と反対の方に引っ張られる。また、負の極性を有する階調電圧がデータ線に印加される場合には、実際の画素電圧 $V_b$ が $\Delta V$ だけ共通電圧の方に引っ張られる。

【0017】その結果、境界面の2つの画素行の画素にはデータ線に印加される電圧が反対方向に影響を及ぼすので、画素に印加される電圧と共通電圧との実際の差は図2(b)及び(d)に斜線で示した部分になる。従って、上部ブロックと下部ブロックとの境界部分の画素において液晶物質を透過する光の量の差が大きくなり、これによって境界部分で輝度不均一が発生する。結局、上部ブロックと下部ブロックとの境界部分に望ましくない線が現われる。

#### 発明の概要

本発明の目的は、表示画面を2つのパネルに分割して駆動し2つのパネルの境界部分の輝度不均一現象を防止する液晶表示装置及びその駆動方法を提供することである。

【0018】このような目的を達成するために、本発明の液晶表示パネルは上部パネル及び下部パネルの2つのパネルに分割される。ゲート線に走査信号を印加する時、上部パネルの走査方向が下部パネルの走査方向と反対であるのでパネルの境界部分の輝度の不均一が防止される。本発明による液晶表示装置は、走査信号を伝送する多数の第1ゲート線を含む第1ゲート線ブロックと、走査信号を伝送する多数の第2ゲート線を含む第2ゲート線ブロックと、画像信号を伝送し前記第1ゲート線ブロックの第1ゲート線と交差する多数の第1データ線

と、前記第1データ線から分離され前記第2ゲート線ブロックの第2ゲート線と交差する多数の第2データ線と、前記ゲート線及びデータ線によって囲まれた領域に形成され行列形態に配列されて前記ゲート線及びデータ線に連結されるスイッチング素子を有する多数の画素とからなり、前記第1ゲート線の走査方向は前記第2ゲート線の走査方向と反対である。

【0019】前記第1ゲート線の数は一前記第2ゲート線の数と同一である。前記第1ゲート線及び第2ゲート線は同時に走査される。本発明の液晶表示装置の他の特徴は、多数の第1ゲート線を有する第1ゲート線ブロックと、前記第1ゲート線ブロックの下に形成され多数の第2ゲート線を有する第2ゲート線ブロックと、前記第1ゲート線ブロックの第1ゲート線と交差し分離される多数の第1データ線と、前記第2ゲート線ブロックの第2ゲート線と交差し分離されている多数の第2データ線と、前記ゲート線及びデータ線に囲まれた領域によって形成され前記ゲート線及びデータ線に連結されるスイッチング素子と共通電圧が印加される共通電極とを有する行列形態に配列された多数の画素とを含む液晶表示装置パネルを含む。また、液晶表示装置は画像信号を有する階調電圧を前記第1データ線に印加する第1データ駆動部と、画像信号を有する階調電圧を前記第2データ線に印加する第2データ駆動部と、前記第1ゲート線ブロックのゲート線に走査信号を印加する第1ゲート駆動部と、前記第2ゲート線ブロックのゲート線に走査信号を前記第1ゲート駆動部の走査方向と反対方向に印加する第2ゲート駆動部と、外部から画像信号の入力を受けて書き取りクロック信号に同期して記録し読取りクロック信号に同期して前記画像信号を前記第1データ駆動部に出力する第1フレームメモリと、外部から画像信号の入力を受けて書き取りクロック信号に同期して記録し読取りクロック信号に同期して前記画像信号を前記第2データ駆動部に出力する第2フレームメモリとを含む。

【0020】前記第1ゲート線の数は一前記第2ゲート線の数と同一である。前記第1ゲート駆動部及び第2ゲート駆動部は同時に走査される。前記第1ゲート線ブロックの隣接するゲート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対であり、前記第2ゲート線ブロックの隣接するゲート線に連結された画素に印加される階調電圧の前記共通電圧に対する極性は互いに反対である。前記第1ゲート駆動部は前記第1ゲート線ブロックの最後のゲート線から一番目のゲート線の方に走査信号をゲート線に順次に印加し、前記第2ゲート駆動部は前記第2ゲート線ブロックの一番目のゲート線から最後のゲート線の方に走査信号をゲート線に順次に印加する。前記第1フレームメモリは前記第1データ線に印加される画像信号と反対の順序に記録された画像信号を前記第1データ駆動部に出力し、前記第2フレームメモリは前記第2データ線に印加

される画像信号と同一の順序に記録された画像信号を前記第2データ駆動部に出力する。

【0021】同一の画素列で前記第1ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する前記共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結される画素に印加される階調電圧に対する共通電圧の極性と反対である。前記第1ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と同一である。前記第1ゲート駆動部は前記第1ゲート線ブロックの一番目のゲート線から最後のゲート線の方に前記ゲート線に走査信号を順次に印加し、前記第2ゲート駆動部は第2ゲート線ブロックの最後のゲート線から一番目のゲート線の方に前記ゲート線に走査信号を順次に印加する。前記第1フレームメモリは前記第1データ線に画像信号が印加される順序と同一の順序に記録された画像信号を第1データ駆動部に出力し、前記第2フレームメモリは前記第2データ線に画像信号が印加される順序と反対の順序に記録された画像信号を第2データ駆動部に出力する。同一の画素列で前記第1ゲート線ブロックの最後のゲート線に連結されている画素に印加される階調電圧に対する共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と反対である。同一の画素列で前記第1ゲート線ブロックの最後のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性は、前記第2ゲート線ブロックの一番目のゲート線に連結された画素に印加される階調電圧に対する共通電圧の極性と同一である。

【0022】本発明の液晶表示装置の駆動方法のその他の特徴としては、水平方向に形成される多数の第1ゲート線を有する第1ゲート線ブロック、前記第1ゲート線ブロックの下に形成され多数の第2ゲート線を有する第2ゲート線ブロック、前記第1ゲート線ブロックの第1ゲート線と交差し分離されている多数の第1データ線、前記第2ゲート線ブロックの第2ゲート線と交差し分離されている多数の第2データ線を含む液晶表示装置の駆動方法であって、前記第1ゲート線ブロックの第1ゲート線に走査信号を順次に印加する段階と、前記第1ゲート線と反対の走査方向に前記第2ゲート線ブロックの第2ゲート線に走査信号を順次に印加する段階と、前記第1及び第2データ線に画像信号を含む階調電圧を印加して前記走査信号が印加される前記ゲート線に連結された画素に階調電圧を印加する段階とを含む。

【0023】前記走査信号は最後のゲート線から一番目のゲート線の方に前記第1ゲート線ブロックに順次に印加され、一番目のゲート線から最後のゲート線の方に前記第2ゲート線ブロックに順次に印加される。この

ような方法は、外部から入力される画像信号のうちの前記第1データ線に印加される画像信号を第1フレームメモリに記録する段階と、外部から入力される画像信号のうちの前記第2データ線に印加される画像信号を第2フレームメモリに記録する段階と、前記第1フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第1データ線に出力する段階と、前記第2フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第2データ線に出力する段階とをさらに含む。前記走査信号は一番目のゲート線から最後のゲート線の方に前記第1ゲート線ブロックに順次に印加され、最後のゲート線から一番目のゲート線の方に前記第2ゲート線ブロックに順次に印加される。また、外部から入力される画像信号のうちの前記第1データ線に印加される画像信号を第1フレームメモリに記録する段階と、外部から入力される画像信号のうちの前記第2データ線に印加される画像信号を第2フレームメモリに記録する段階と、前記第1フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第1データ線に出力する段階と、前記第2フレームメモリに画像信号が記録される順序と反対の順序に前記画像信号を前記第2データ線に出力する段階とをさらに含む。

#### 【0024】

【発明の実施の形態】以下に、発明者が発明を実施することによって予測される最も好ましい形態の図面に基づいて、本発明の好ましい実施例だけが示されて説明される。本発明は発明の範囲内で多様な変形が可能である。従って、図面及び実施の形態は実施例に過ぎず、発明を限定するものではない。

【0025】図3は本発明の好ましい実施例による液晶表示装置を示す。液晶表示装置は液晶表示装置パネル100と、上部データ駆動部210と、下部データ駆動部220と、上部ゲート駆動部310と、下部ゲート駆動部320と、上部フレームメモリ410及び下部フレームメモリ420を含むフレームメモリユニット400と、タイミング制御機500からなる。

【0026】液晶表示装置パネル100はゲートオン信号を伝達するための2m個のゲート線(G1、G2、・・・、Gm+1、・・・、G2m)と、画像信号を表示する階調電圧を伝達するためのデータ線(D1、D2、・・・、DmとC1、C2、・・・、Cn)とを含む。ゲート線とデータ線とによって囲まれた領域は画素を形成し、各画素は、図5に示されているように、薄膜トランジスタ110と、ゲート電極に連結されるゲート線と、ソース電極に連結されるデータ線と、前記薄膜トランジスタ110のドレーン電極に連結される画素電極120と、共通電圧が印可される共通電極(図示していない)とを含む。2m個のゲート線はm個のゲート線(G1、G2、・・・、Gm)を含む上部ゲート線ブロック



と、 $m$ 個のゲート線 ( $G_{m+1}$ 、 $G_{m+2}$ 、 $\dots$ 、 $G_{2m}$ ) を有する下部ゲート線ブロックとに分離されている。上部ゲート線ブロックのゲート線 ( $G_1$ 、 $G_2$ 、 $\dots$ 、 $G_m$ ) に対応する画素に連結された上部データ線 ( $D_1$ 、 $D_2$ 、 $\dots$ 、 $D_n$ ) は下部ゲート線ブロックのゲート線 ( $G_{m+1}$ 、 $G_{m+2}$ 、 $\dots$ 、 $G_{2m}$ ) に対応する画素に連結された下部データ線 ( $C_1$ 、 $C_2$ 、 $\dots$ 、 $C_n$ ) と分離されている。即ち、本発明の実施例による液晶表示装置パネルは上部パネル 140 及び下部パネル 150 からなる。前記上部パネル 140 は上部ゲート線ブロックと上部データ線 ( $D_1$ 、 $D_2$ 、 $\dots$ 、 $D_n$ ) を含み、下部パネル 150 は下部ゲート線ブロックと下部データ線 ( $C_1$ 、 $C_2$ 、 $\dots$ 、 $C_n$ ) を含む。

【0027】上部及び下部ゲート駆動部 310、320 は、それぞれ上部及び下部ゲート線ブロックに連結され、反対の走査方向にゲート線ブロックのゲート線に順次にゲートオン電圧を印加する。例えば、上部ゲート駆動部 310 が上部ゲート線ブロックの一番目のゲート線  $G_1$  から  $m$  番目のゲート線  $G_m$  の方向 (即ち、上から下の方向) にゲートオン電圧を駆動する時、下部ゲート駆動部 320 は下部ゲート線ブロックの最後のゲート線  $G_{2m}$  から一番目のゲート線  $G_{m+1}$  の方向 (即ち、下から上の方向) にゲートオン電圧を駆動する。前述のように、上部ゲート駆動部 310 が下から上の方向にゲートオン電圧をゲート線に順次に印加する時、下部ゲート駆動部 320 は上から下の方向にゲートオン電圧をゲート線に印加する。

【0028】上部データ駆動部 210 及び下部データ駆動部 220 はそれぞれ、液晶表示装置パネルの上部及び下部に形成され、上部フレームメモリ 410 及び下部フレームメモリ 420 に連結される。これらはそれぞれ上部データ線 ( $D_1$ 、 $D_2$ 、 $\dots$ 、 $D_n$ ) 及び下部データ線 ( $C_1$ 、 $C_2$ 、 $\dots$ 、 $C_n$ ) に画像信号を表示する階調電圧を印加する。

【0029】タイミング制御機 500 は画像データ信号 DATA、メインクロック MCLK、水平同期信号 Hsync、垂直同期信号 Vsync の入力を受けて、タイミング信号をフレームメモリユニット 400、上部ゲート駆動部 310、下部ゲート駆動部 320、上部データ駆動部 210、下部データ駆動部 220 に印加する。上部フレームメモリ 410 及び下部フレームメモリ 420 は、書込みクロック信号 WCLK と読取りクロック信号 RCLK (これの周波数はタイミング制御機 500 から印加される書込みクロック信号 WCLK の  $1/2$  である) とに同期して、上部データ駆動部 210 及び下部データ駆動部 220 に印加される画像データ信号の書込み及び読取りを行う。

【0030】以下、本発明の第 1 実施例による液晶表示装置の操作を説明する。図 4 (a) 及び (b) は書込みクロック信号 WCLK と読取りクロック信号 RCLK

( $RCLK = WCLK/2$ ) に同期してフレームメモリにデータが入力され出力されるデータタイミング図である。外部から画像データ信号 DATA、メインクロック MCLK、垂直同期信号 Vsync (即ち、フレーム同期信号)、水平同期信号 Hsync (即ち、水平ライン又は走査ラインの同期信号) がタイミング制御機 500 に入力される。

【0031】図 4 (a) に示されているように、フレームメモリはタイミング制御機 500 から印加される書込みクロック信号 WCLK に同期してデータを記録する。即ち、データは一番目の画素行に印加される画像データ  $d_1$  から始まる順序に書込みクロック信号 WCLK に同期して上部フレームメモリ 410 に記録される。この時、一番目の画素行から  $m$  番目の画素行 (即ち、上部ゲート線ブロックのゲート線に対応する画素行) に印加される画像データ ( $d_1$ 、 $d_2$ 、 $\dots$ 、 $d_m$ ) が上部フレームメモリ 410 に記録される。これに反して、下部ゲート線ブロックの一番目のゲート線  $G_{m+1}$  に対応する画素行に印加される画像データ  $d_{m+1}$  に始まる画像データ ( $d_{m+2}$ 、 $\dots$ 、 $d_{2m}$ ) は順に書込みクロック信号 WCLK に同期して下部フレームメモリ 420 に記録される。

【0032】上部フレームメモリ 410 及び下部フレームメモリ 420 に各画素行に印加される画像データの全てが記録されると、図 4 (b) に示されているように、読取りクロック信号 RCLK に同期した画像データが上部データ駆動部 210 又は下部データ駆動部 220 に伝送される。この時、本発明の第 1 実施例によると、上部データ駆動部 210 のための画像データは上部フレームメモリ 410 に記録される順序と反対の順序 (即ち、 $d_m$ 、 $d_{m-1}$ 、 $d_{m-2}$ 、 $\dots$ 、 $d_2$ 、 $d_1$ ) に上部データ駆動部 210 に伝送される。下部データ駆動部 220 のための画像データは下部フレームメモリ 420 に記録される順序と同一の順序に下部データ駆動部 220 に伝送される。従って、本発明によると、フレームメモリとしては、記録される順序と反対の順序にアドレッシングされ得るメモリを使用しなければならない。

【0033】クロック信号 HCLK に同期された画像データが上部データ駆動部 210 及び下部データ駆動部 220 に伝送されると、画像データは対応する階調電圧に変換され、タイミング制御機 500 から出力されるロード信号 LOAD によって上部データ線  $D_1$ 、 $D_2$ 、 $\dots$ 、 $D_n$  及び下部データ線  $C_1$ 、 $C_2$ 、 $\dots$ 、 $C_n$  の各線に印加される。

【0034】上部ゲート駆動部 310 及び下部ゲート駆動部 320 はタイミング制御機 500 から出力される開始信号 STV 及びゲートクロック CPV に同期されて上部ゲート線ブロックのゲート線にゲートオン電圧 (即ち、走査信号) を印加し、同時に下部ゲート線ブロックのゲート線にもゲートオン電圧を印加する。この時、本

発明の第1実施例によると、上部ゲート駆動部310は上部ゲート線ブロックの最後のゲート線 $G_m$ から上部ゲート線ブロックの一番目のゲート線 $G_1$ の方向（即ち、下から上の方向）にゲートオン電圧を順次に印加する。また、下部ゲート駆動部320は下部ゲート線ブロックの一番目のゲート線 $G_{m+1}$ から下部ゲート線ブロックの最後のゲート線 $G_{2m}$ の方向（即ち、上から下の方向）にゲートオン電圧を順次に印加する。

【0035】ゲートオン電圧が印加されたゲート線に連結された薄膜トランジスタはターンオンされ、これに伴って、データ線に印加された階調電圧がターンオンされた薄膜トランジスタを通じて画素電極に伝達されて、所望の画像が表示される。このような本発明の実施例はドット反転又はライン反転方式を使用してデュアルスキャンLCDを駆動する時に画面の中央に縞模様が発生することを防止することができる。

【0036】図5は本発明の第1実施例による上部ゲート駆動部310及び下部ゲート駆動部320の走査方向と極性とを示す図面である。図6(a)、(b)、

(c)、(d)は本発明の第1実施例による信号の波形を示す図面である。図5に示されているように、(+)は共通電圧に対する画素電圧の極性が正であることを示し、(-)は共通電圧に対する画素電圧の極性が負であることを示す。

【0037】以下、第1画素列の隣接する2つの画素を例として説明する。図6(a)に示されているように、理想な場合、上部ゲート線ブロックの最後のゲート線 $G_n$ に連結される第1画素列の画素電極には共通電圧 $V_{com}$ より低い電圧 $V_{pu}$ が1フレーム周期の間に一定に印加される。しかし、画素電極とデータ線との間に発生する寄生キャパシタンスのため、画素電極に印加される実際の画素電圧はデータ線に印加される電圧の影響を受ける。即ち、一番目の上部データ線 $D_1$ に共通電圧に対する極性が周期的に反復される階調電圧が印加されるため、画素電極に印加される実際の電圧 $V_a$ は図6

(b)のようになる。この時、ゲート線が下から上の方向に走査され第1画素列の最後のゲート線 $G_m$ に対応する画素電極の極性が負であるため、データ線 $D_1$ に印加される階調電圧は図6(a)に示されているように負と正とが連続して反復される。

【0038】より詳しくは、図6(a)及び(b)に示されているように、陰(-)の極性を有する画素電圧 $V_{pu}$ が印加され、陰(-)の極性を有する階調電圧がデータ線に印加される場合、実際の画素電圧 $V_a$ は寄生キャパシタンス $C_p$ の影響によって理想的な画素電圧 $V_{pu}$ に比べて $\Delta V$ だけ共通電圧の反対方向に引っ張られる。これに反して、陽(+)の極性を有する階調電圧がデータ線に印加される場合、実際の画素電圧 $V_a$ は、 $\Delta V$ だけ共通電圧の方向に引っ張られる。

【0039】図6(c)に示されているように、理想的

な場合、下部ゲート線ブロックの一番目のゲート線 $G_{m+1}$ に連結される第1画素列の画素電極には共通電圧 $V_{com}$ より高い電圧 $V_{pd}$ が1フレーム周期の間に一定に印加される。一番目の下部データ線 $C_1$ にはデータ線 $D_1$ に印加される階調電圧と異なる極性を有する階調電圧が印加される。これは、図5に示されているように、上部ゲート線ブロックは下から上の方向に走査され、下部ゲート線ブロックは上から下の方向に走査され、上部ゲート線ブロックの最後のゲート線 $G_m$ に連結される画素電圧 $V_{pu}$ は下部ゲート線ブロックの一番目のゲート線 $G_{m+1}$ に連結された画素電圧と異なるためである。従って、寄生キャパシタンス $C_p$ の影響で画素電極に印加される実際の電圧は図6(d)に示されているような波形を有する。即ち、即ち、図6(c)及び(d)に示されているように、(+)の極性を有する画素電圧 $V_{pd}$ が印加され、(+)の極性を有する階調電圧がデータ線に供給される場合には、実際の画素電圧 $V_b$ は、寄生キャパシタンス $C_p$ の影響により、理想的な画素電圧 $V_{pd}$ に比べて $\Delta V$ だけ共通電圧の反対方向に引っ張られる。(+)の極性を有する階調電圧がデータ線に印加される場合には、実際の画素電圧 $V_b$ が $\Delta V$ だけ共通電圧の方向に引っ張られる。

【0040】前述のように、本発明の第1実施例によると、データ線に印加される電圧が境界面に存在する2つの画素行の画素に同一方向に影響を及ぼすため、実際の画素に印加される電圧と共通電圧との差は図6(b)及び(d)に斜線で示されている通りである。従って、境界部分の画素にある液晶物質を透過する光の量の差が小さいので、境界部分における輝度がほとんど均一になる。従って、従来のデュアルスキャンLCD駆動方式において上側パネルと下側パネルとの境界部分で発生していた縞模様が発生しない。

【0041】以下、本発明の第2実施例による液晶表示装置の操作を説明する。図7は本発明の第2実施例による液晶表示装置の上部及び下部ゲート駆動部の走査方向と極性を示す回路図である。図8は本発明の第2実施例による各種の信号の波形を示している。図7に示されているように、境界部分の隣接する2つの画素の極性は互いに同一であり、境界部分のその他の画素の極性は反転する。以下、第1画素列の隣接する2つの画素を例として説明する。

【0042】図8(a)に示されているように、理想な場合、共通電圧 $V_{com}$ より高い画素電圧 $V_{pu}$ が、上部ゲート線ブロックの最後のゲート線 $G_m$ に連結される第1画素列の画素電極に1フレーム周期の間に一定に印加される。しかし、画素電極とデータ線との間に生じる寄生キャパシタンス $C_p$ のため、画素電極に印加される実際の画素電圧はデータ線に印加される電圧の影響を受ける。

【0043】即ち、共通電圧に対する極性が周期的に反

復される階調電圧が一番目の上部データ線 D1 に印加されるため、実際の画素電極に印加される電圧  $V_a$  は図 8 (b) に示されているようになる。この時、ゲート線が下から上の方向に走査され第 1 画素列の最後のゲート線  $G_m$  に対応する画素電極の極性が正であるため、データ線 D1 に印加される階調電圧は図 8 (a) に示されているように正、負、正、負、・・・の順に反転される。

【0044】より詳しくは、図 8 (a) 及び (b) に示されているように、正の極性を有する画素電圧  $V_{pu}$  が印加され、正の極性を有する階調電圧がデータ線に印加される時、寄生キャパシタンスの影響によって実際の画素電圧  $V_a$  は理想的な画素電圧  $V_{pu}$  と比較すると  $\Delta V$  だけ共通電圧の反対方向に引っ張られる。一方、負の極性を有する階調電圧がデータ線に印加されると、前記画素電圧  $V_a$  は  $\Delta V$  だけ共通電圧の方向に引っ張られる。

【0045】図 8 (c) に示されているように、理想的な場合、共通電圧  $V_{com}$  より高い画素電圧  $V_{pd}$  が、下部ゲート線ブロックの一番目のゲート線  $G_{m+1}$  に連結される第 1 画素列の画素電極に 1 フレーム周期の間に印加される。データ線 D1 に印加される階調電圧と同一の極性を有する階調電圧が一番目の下部データ線 C1 に印加される。これは、図 7 に示されているように、上部ゲート線ブロックが下から上の方向に走査され、下部ゲート線ブロックが上から下の方向に走査され、上部ゲート線ブロックの最後のゲート線  $G_m$  に連結される画素電圧の極性が下部ゲート線ブロックの一番目のゲート線  $G_{m+1}$  に連結される画素電圧の極性と同一であるためである。従って、実際の画素電極に印加される電圧は図 8 (d) のような波形を有する。

【0046】図 8 に示されているように、本発明の第 2 実施例によると、データ線に印加される電圧が境界面にある 2 つの画素行の画素に同一方向に影響を及ぼすため、画素に印加される実際の電圧と共通電圧との差は図 8 (b) 及び (d) に斜線で示したようになる。従って、境界部分の画素にある液晶物質を透過する光の量の差が小さいので、境界部分の輝度がほとんど均一になる。従って、従来の上側パネルと下側パネルとの境界部分に発生していた縞模様が現われない。

【0047】前述の本発明の実施例では、上部ゲート駆動部に連結されたゲート線は下から上の方向に走査され、下部ゲート駆動部に連結されたゲート線は上から下の方向に走査される。しかし、本発明による液晶表示装置の駆動方法は、図 9 (a) 及び (b) に示されているように、上部ゲート駆動部に連結されたゲート線は上から下に走査され、下部ゲート駆動部に連結されたゲート線は下から上の方向に走査される場合も含む。

【0048】以下、図 9 (a) 及び (b) に基づいて、本発明の第 3 及び第 4 実施例による液晶表示装置の駆動方法を説明する。上部及び下部液晶表示装置パネルの端からパネルの境界部分の方向にゲート線が走査される。

即ち、図 9 (a) に示されているように本発明の第 3 実施例によると、上部及び下部液晶表示装置パネルの端からパネルの境界部分の方向にゲート線が走査され、境界部分に隣接した 2 つの画素には互いに異なる極性を有する画素電圧が印加される。図 9 (b) に示されているように本発明の第 4 実施例によると、上部及び下部液晶表示装置パネルの端からパネルの境界部分の方向にゲート線が走査され、境界部分に隣接した 2 つの画素には同一の極性を有する画素電圧が印加される。

【0049】本発明の第 3 及び第 4 実施例の方法を使用してゲート線を駆動するために、図 3 において上部フレームメモリ 410 は画像データの記録順序と同一の順序に画像データを上部データ駆動部 210 に伝送し、下部フレームメモリ 420 は画像データの記録順序と反対の順序に画像データを下部データ駆動部 220 に伝送する。上部ゲート駆動部 310 及び下部ゲート駆動部 320 はそれぞれ上部ゲート線ブロックの一番目のゲート線  $G_1$  及び下部ゲート線ブロックの最後のゲート線  $G_{2m}$  からゲートオン信号を順次に出力する。第 3 及び第 4 実施例におけるこれ以外の駆動方法は図 3 に基づいて前述したものと同一である。

【0050】本発明の第 3 及び第 4 実施例によって液晶表示装置を駆動する場合、境界面にある 2 つの画素行の画素はデータ線に印加される電圧によって同一の方向に影響を受ける。従って、境界部分の画素にある液晶物質を透過する光の量の差が小さいので、境界部分の輝度がほとんど均一になる。その結果、従来の上側パネルと下側パネルとの境界部分に発生する縞模様が現われない。

【0051】以上の説明のように、本発明によると、上部パネルのゲート線の走査方向を下部パネルのゲート線の走査方向と反対の方向にすることによって輝度不均一現象を防止することができる。本発明は以上のように最も実用的で好ましい実施例に基づいて説明されているが、このような実施例に限定されるものでなく、請求範囲及び思想に含まれる同価の構造及び多様な変形を全て含む。

#### 【図面の簡単な説明】

【図 1】デュアルスキャン方式を利用した液晶表示装置を示す図面である。

【図 2】従来の液晶表示装置の駆動方法による信号波形を示す図面である。

【図 3】本発明の好ましい実施例による液晶表示装置を示す概略図である。

【図 4】書込みクロック信号と読取りクロック信号に同期して各々のフレームに入出力されるデータのタイミングを示す図面である。

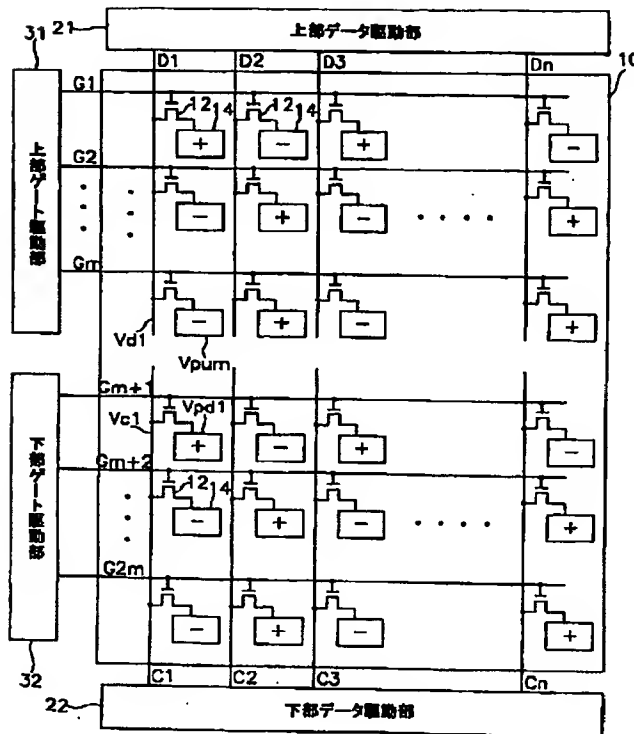
【図 5】本発明の第 1 実施例による図 3 に示されている液晶表示装置の極性及び走査方向を示す回路図である。

【図 6】本発明の第 1 実施例による信号の波形を示す図面である。

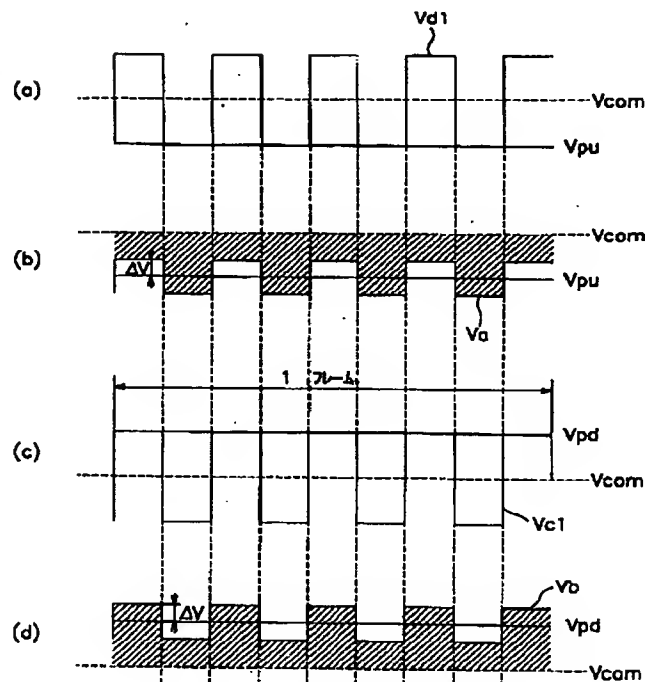
【図 7】 本発明の第 2 実施例による図 3 に示した液晶表示装置の極性と走査方向を示す回路図である。

【図 8】 本発明の第 2 実施例による信号の波形を示す図面である。

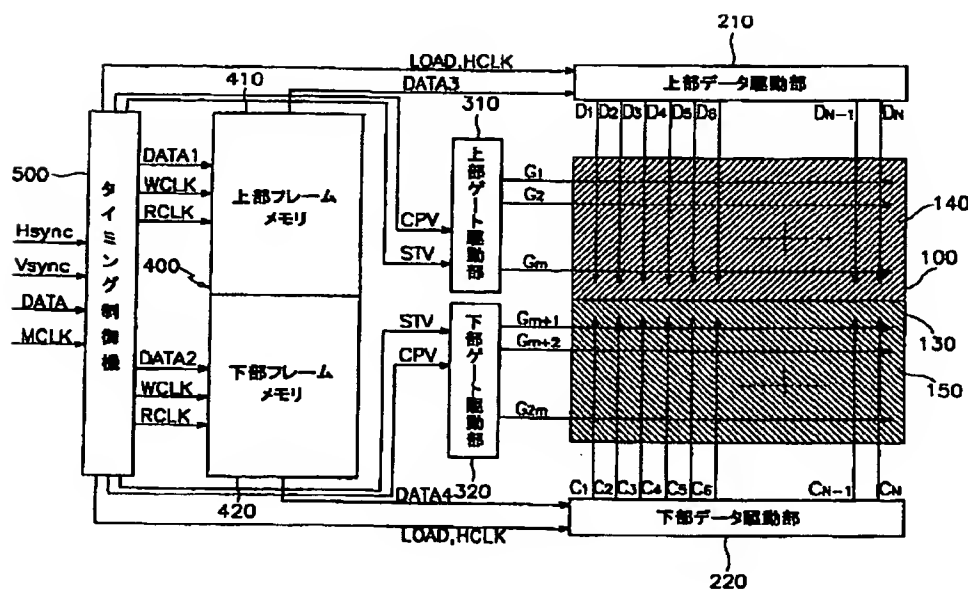
【図 1】



【図 2】

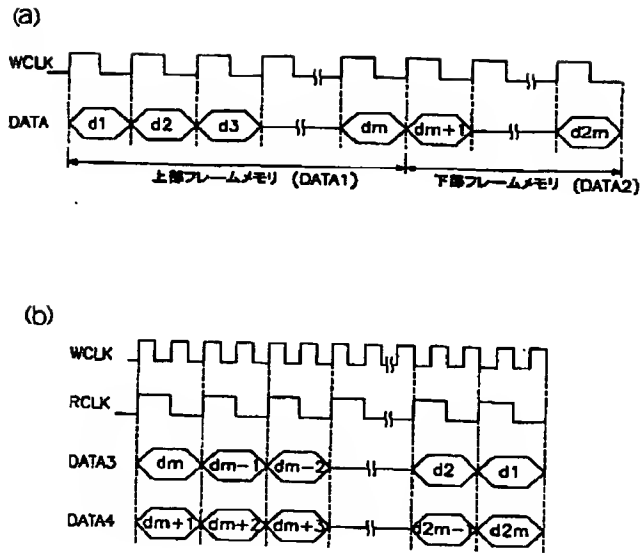


【図 3】

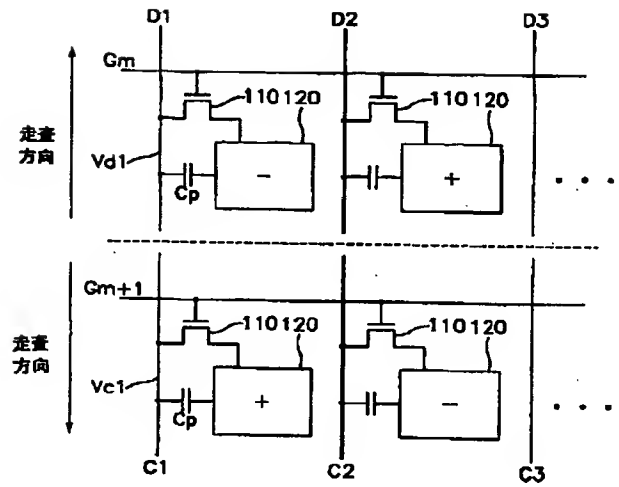


220

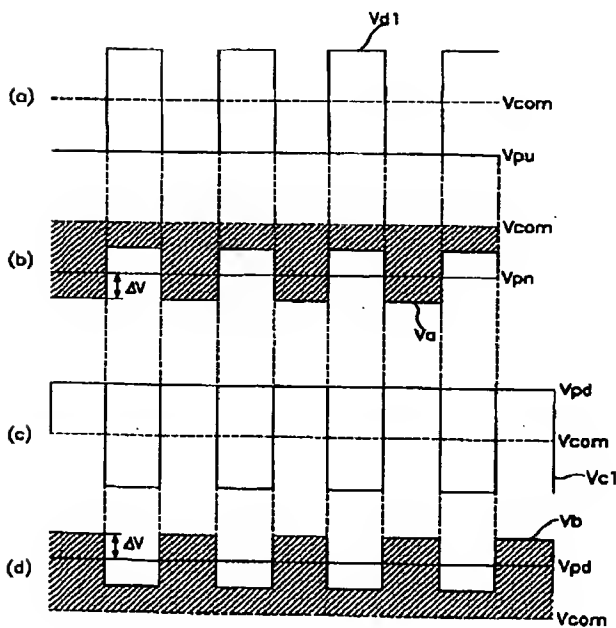
【図4】



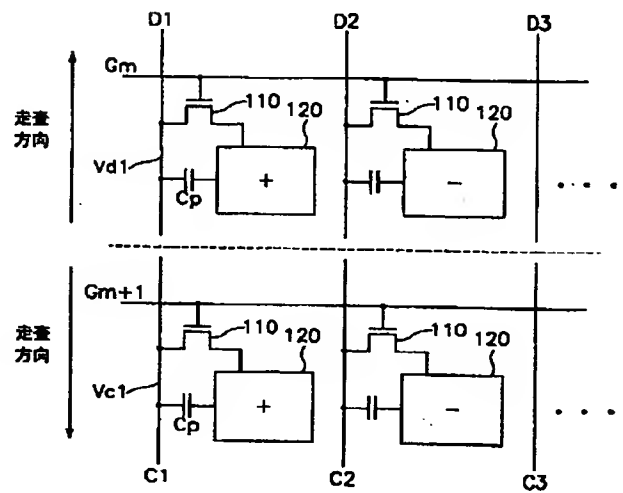
【図5】



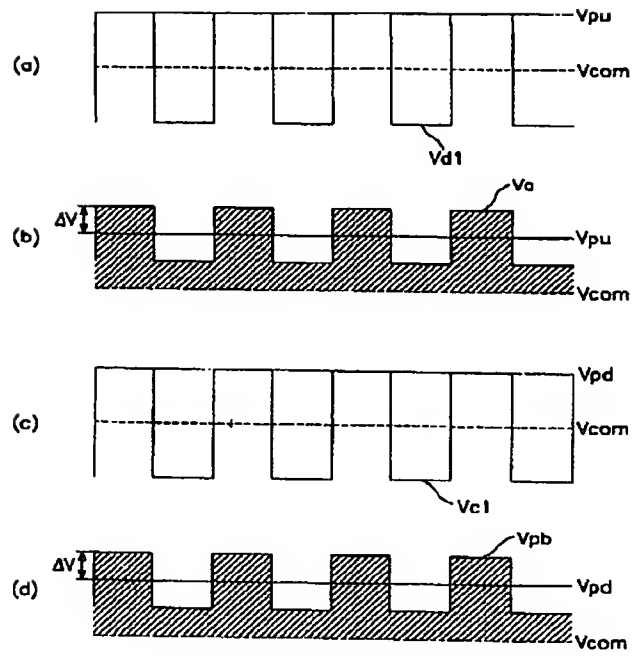
【図6】



【図7】



【図 8】



【図 9】

